

直交変調型包絡線パルス幅変調方式送信機の

FPGA 実装における並直列変換を用いた高速化の研究

7315651 長澤 昂平

1. まえがき

近年、スマートフォンの普及などにより通信トラフィックが増大し、移動体通信システムにおいて、大容量化・省電力化への要求が高まっている。これらを満たす通信方式として、包絡線パルス幅変調(EPWM: Envelope Pulse Width Modulation)方式[1]-[10]が研究されている。この EPWM 方式では、 $\Delta\Sigma$ 変調(DSM: Delta Sigma Modulation)を用いることにより線形性を確保し、出力段に包絡線に対する過渡応答特性に優れた D 級電力増幅器(PA)を用いてスイッチング増幅を行うことにより電力効率を高めている。

EPWM 送信機の種類として、直交変調型(QM) EPWM 送信機[3]-[10]がある。QM-EPWM 送信機の基本構成を図 1 に示し、その動作原理について説明する。直交変調されたベースバンド信号はそれぞれ $\Delta\Sigma$ 変調器でパルス幅変調される。その後、それぞれにサイン波またはコサイン波の搬送波を掛け合わせるにより U/C した後 I-Q 交互出力することにより RF 信号を得る。本構成では Δ - Σ 変調を行うことにより、量子化雑音に対してノイズシェーピング特性を得る。これにより、復調用のベースバンド帯域制限フィルタを用いて量子化雑音を大幅に除去することが出来る。

QM-EPWM は、DSM のようなパルス幅変調器を低いサンプリングレートで扱えること、及び複雑な位相変調器を必要としないため変調処理を全てデジタル回路で構成することが可能であるため、集積回路によるワンチップ化が可能であり、環境変化や経年劣化による電力効率の低下を抑制できるという特徴がある。また、正負 1 ビット交互出力変調は I, Q チャンネルの信号を交互に出力することにより、パルス幅変調時に非線形による量子化雑音の増加が起きないという利点がある[5]。

デジタル送信機の実験及び実装検討用デバイスとして、プログラマブルロジックデバイス(PLD)の一種である FPGA (Field Programmable Gate Array) が適している。しかし、EPWM 送信機を FPGA に実装する場合、FPGA 内部の汎用論理ゲートの動作周波数の限界が制限要因となり、搬送波周波数をあま

り高く出来ない問題がある。一方、FPGA に内蔵されており、入力された並列信号を直列信号に変換する並直列変換(P/S: Parallel to Serial conversion)装置であるシリアライザは、FPGA の汎用論理ゲートによらないため、より高い動作が可能である。このことから、上記の問題に対しシリアライザを利用することで解決を図る検討[11]が行われている。一方、通常の QM-EPWM では正負パルスの出力用にそれぞれ専用の PA を使い、2 つの PA 出力を電力合成器により合成することにより RF 信号を生成する[9]が、回路規模が大きくなること、及び電力合成器により損失が発生し、電力効率が低下する欠点があった。これに対し、PA を含め負パルス発生部を省略することにより回路規模の縮小と電力効率の向上を図る、3 値 DSM2 値出力 QM-EPWM 送信機[12],[13]が提案されている。しかし、3 値 DSM を使った 2 値 QM-EPWM 送信機のシリアライザを利用する高速化の実装検討は行われていない。

本研究で 3 値 DSM とシリアライザを用いることにより 2 値直交変調型 EPWM 波形を生成する構成を提案する。提案する回路構成を FPGA へ実装し、実験を行うことにより、電力スペクトル密度及び符号化効率(CE: Coding Efficiency)についてシミュレーションと比較を行う。さらに、先行研究[11]では検討されていない誤差ベクトル振幅(EVM: Error Vector Magnitude)についても評価を行う。

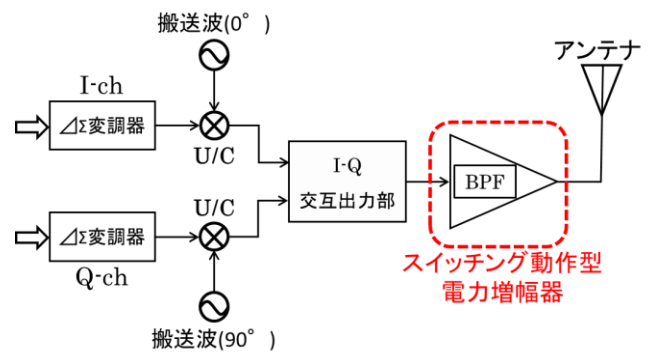


図 1. QM-EPWM 送信機の基本構成

2. 3 値 DSM2 値出力 QM-EPWM 送信機[12],[13]

本研究で用いる 3 値 DSM を使った 2 値 QM-EPWM 送信機[12]の従来構成を図 2 に示す. EPWM 変調部における U/C 部及び I-Q 交互出力部は, 動作クロックに合わせて入力信号を交互に選択して出力する回路であるマルチプレクサ(MUX)を用いて構成している. 各部の MUX の動作を図 3, 4 に示す. DSM から出力した正と負及び零の論理出力を MUX1, 2 によって搬送波周波数 f_c に U/C する. その後, MUX3 によって周波数 f_i で I-Q 交互出力され, オン・オフの 2 値の矩形波として出力される.

DSM のサンプリング周波数 f_s , 搬送波周波数 f_c , 交互出力周波数 f_i 及び RF 信号に対するサンプリング周波数 f_{rf} の関係は以下式で表す.

$$f_s = f_i = \frac{1}{2}f_c \quad (1)$$

$$f_{rf} = 4 * f_c \quad (2)$$

式(2)より, f_c は 1 周期に対して 4 倍のサンプリングで刻む f_{rf} によってサイン波またはコサイン波を表現している.

この回路を FPGA に実装する場合, 内部の汎用論理ゲートの動作周波数の上限が f_c を制限する. 一般的な FPGA の動作周波数の上限は 200MHz 程度であるため, f_{rf} の上限は 200Mbps となる. 式(2)より, f_c は f_{rf} の 4 分の 1 となり, 50MHz 程度の低速動作となる.

3. 提案回路構成

提案する 3 値 DSM とシリアライザを用いた 2 値 QM-EPWM 送信機の構成を図 5 に示す. この構成では, 従来構成において 3 つの MUX で構成していた U/C 及び I-Q 交互出力を 1 つのシリアライザによる P/S 変換のみによって構成する. シリアライザの動作を図 6 に示す. 3 値 DSM から出力した信号を並列にシリアライザに入力する. この時, I-ch はコサイン波を, Q-ch はサイン波をそれぞれ表現する並びにより, 等価的に搬送波による U/C を行う. シリアライザに入力された信号はそれぞれ 1bit データ列として溜められ, 8bit 分が揃ったところで直列連続データとして出力される. これにより, 搬送波 2 周期分のパラレルデータをシリアルデータに変換する. シリアライザは 3 値 DSM のサンプリング周波数 f_s で動作するため, シリアライザより出力される信号の伝送レートは 8 倍となる. したがって, 提案構成における f_s と f_{rf} の関係は式(3)で表す.

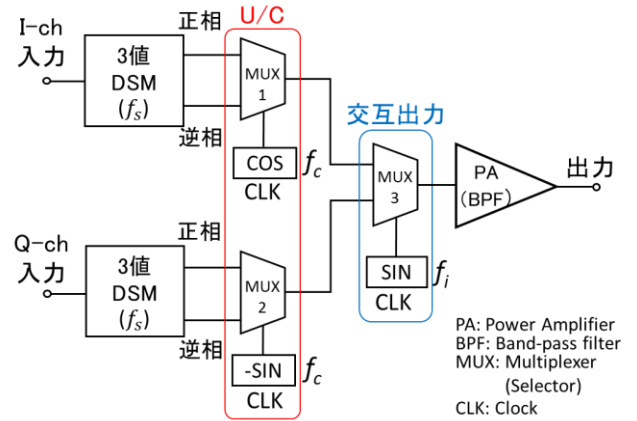


図 2. 従来 2 値 QM-EPWM 送信機

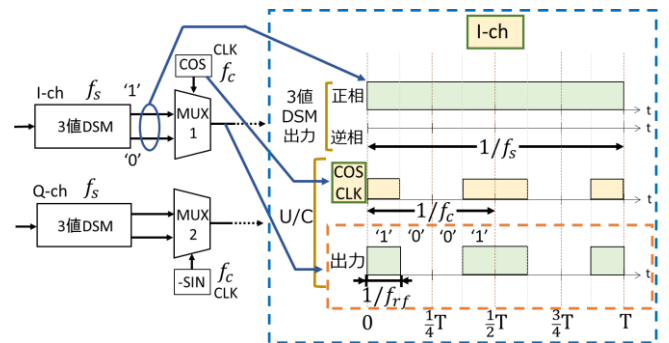


図 3. U/C 部における MUX の動作

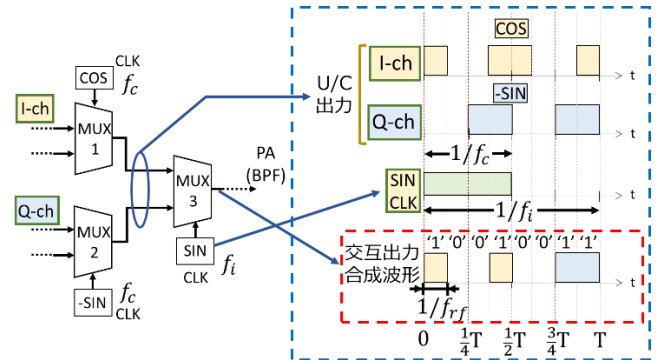


図 4. I-Q 交互出力部における MUX の動作

$$f_{rf} = 8 * f_s \quad (3)$$

一方, 搬送波の 1 周期は RF サンプリングの 4 サンプル分であるので式(2)は同様に成り立つ. f_s が動作周波数の上限値 200MHz である場合, (3)式により f_{rf} は 1.6Gbps となる. したがって(2)式より, 搬送波周波数 f_c は最大で 400MHz となるため, 従来構成の 8 倍の高速化が実現可能である.

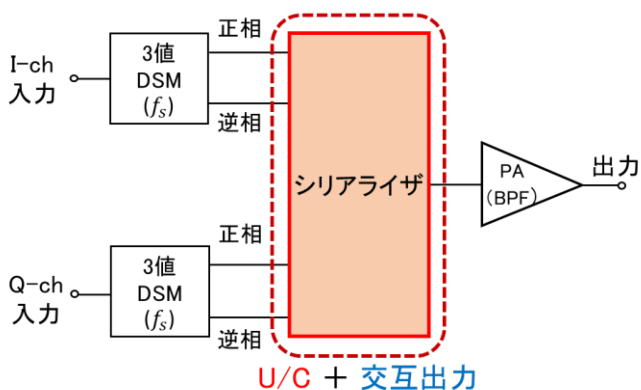


図 5. P/S 方式 2 値 QM-EPWM 送信機の構成

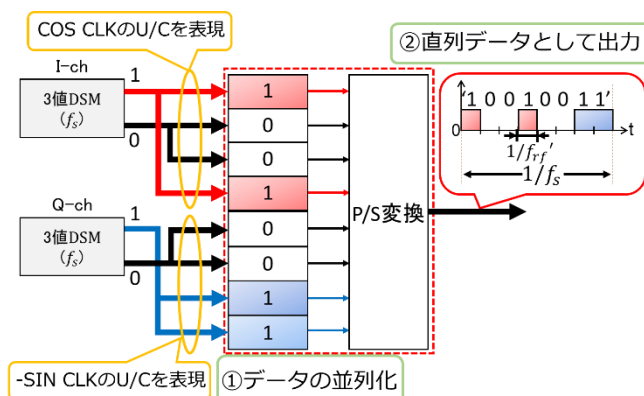
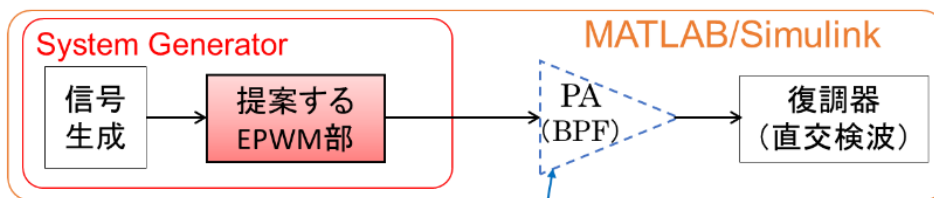


図 6. シリアライザの動作

シミュレーション



実験

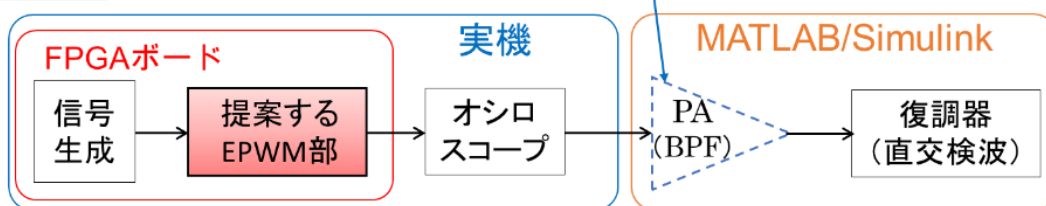


図 7. 評価系構成図

4. 測定方法

4.1. シミュレーション及び実験構成

評価系の構成図を図 7 に示す. また, 表 1 に実験及びシミュレーションの諸元を示す. 本稿では 2 値 QM-EPWM のみに対する評価を行うため, 電力増幅器は使用せずに構成する. まず, Xilinx 社の FPGA に実装可能な回路モデルを生成する論理シミュレータ (System Generator) を使用し, 16-QAM のベースバンド信号を生成する. そして, その信号を I-ch と Q-ch の直交する 2 つの信号に分離する. 次に, ロールオフフィルタによりそれぞれの信号をアップサンプリング及び帯域制限する. その後, 信号を DSM でパルス幅変調し, 8 経路の並列信号として出力する. System Generator によって構成した回路モデルは, Xilinx 社の FPGA に実装するためのソフトウェア環境 (ISE Design Suite) を用いてハードウェア記述言語 (HDL: Hardware Description Language) に変換す

表 1. シミュレーション及び実験諸元

変調方式		16-QAM
シンボル数		1000 symbols
シンボルレート		2 or 4 Msymbols/s
搬送波周波数(f_c)		200 or 400 MHz
サンプリング周波数(f_s)		100 or 200 MHz
BPF	次数	4
	種類	バターワース
	中心周波数	f_c
	帯域幅	$0.5f_c$
	Q値	2
使用機器 (実験のみ)	FPGA	Virtex-6 XC6VLX240T -1FFG1156
	FPGA評価ボード	Xilinx ML605
	オシロスコープ	Tektronix DSA70404

る。P/S 変換器として用いるシリアルライザは Xilinx 社の FPGA 内に搭載されているトランシーバ(GTX トランシーバ) を用いるために、ISE Design Suite の、GTX トランシーバ のパラメータを設定するツール (GTX Transceiver Wizard)により設計し、HDL として生成する。それぞれ設計した HDL を ISE Design Suite を用いて接続し、FPGA に実装する。

FPGA より出力される RF バースト信号を Tektronix 社の DSA70404 オシロスコープにより波形データの取り込みを行い、データ化した信号を Mathworks 社のデジタル信号処理シミュレータ (MATLAB/Simulink)に入力することにより直交検波する。その後、信号をローloffフィルタによりダウンサンプリング及び帯域制限し、ベースバンド信号を復調する。

4.2. 評価方法

提案する回路構成について、シミュレーションと実験による性能の比較を行う。評価指標は、式(1)(2)に示す RF 信号の量子化雑音の比率を表す符号化効率(CE), 送信側と復調側の信号点の誤差性能を表す誤差ベクトル振幅(EVM)を用いる。

$$CE = \frac{\text{所望信号電力の総和}}{\text{全体電力の総和}} (\%) \quad (4)$$

$$EVM = \frac{\text{誤差ベクトルの実効値}}{\text{真値ベクトルの実効値}} (\text{dB}) \quad (5)$$

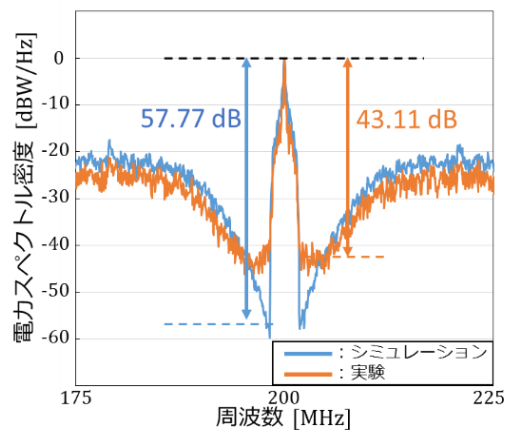
実験、シミュレーション共に搬送波周波数 f_c は 200MHz の場合と 400MHz の場合について評価、比較を行う。

5. 測定結果

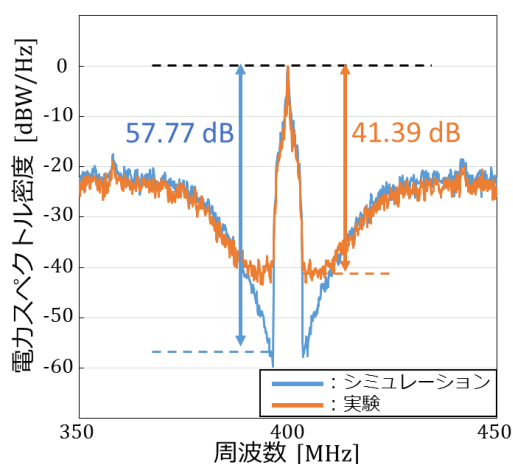
5.1. シミュレーション及び実験結果の比較

提案した P/S 方式 2 値 QM-EPWM 送信機についての実験及びシミュレーションの電力スペクトル密度(PSD)を図 8 に示す。実験結果はシミュレーション結果と比べ搬送波周波数 f_c の値に関わらず、D/U 比が減少していることが分かる。これは、実験時はシミュレーション時よりもノイズが発生する故であり、原因として、出力信号のクオリティが悪く波形が歪んでしまう事、論理回路で構成するためにスパイクノイズが発生することが考えられる。しかしながら、 $\Delta\Sigma$ 変調器のノイズシェーピング特性は良好に確認できる。

実験、シミュレーションにおける、CE 及び EVM の結果を表 2 及び表 3 にそれぞれ示す。CE は多少の減少はあるもののほぼ同等の結果である一方、



(a) $f_c = 200\text{MHz}$



(b) $f_c = 400\text{MHz}$

図 8. 電力スペクトル密度

表 2. 各搬送波周波数における CE 結果

搬送波	シミュレーション	実験
200 MHz	40.9 %	40.4 %
400 MHz	40.9 %	40.6 %

表 3. 各搬送波周波数における EVM 結果

搬送波	シミュレーション	実験
200 MHz	-47.5 dB	-29.7 dB
400 MHz	-47.5 dB	-24.0 dB

EVM においては、実験結果はシミュレーション結果と比べ大幅に劣化する。この原因については次項 5.2 で述べる。

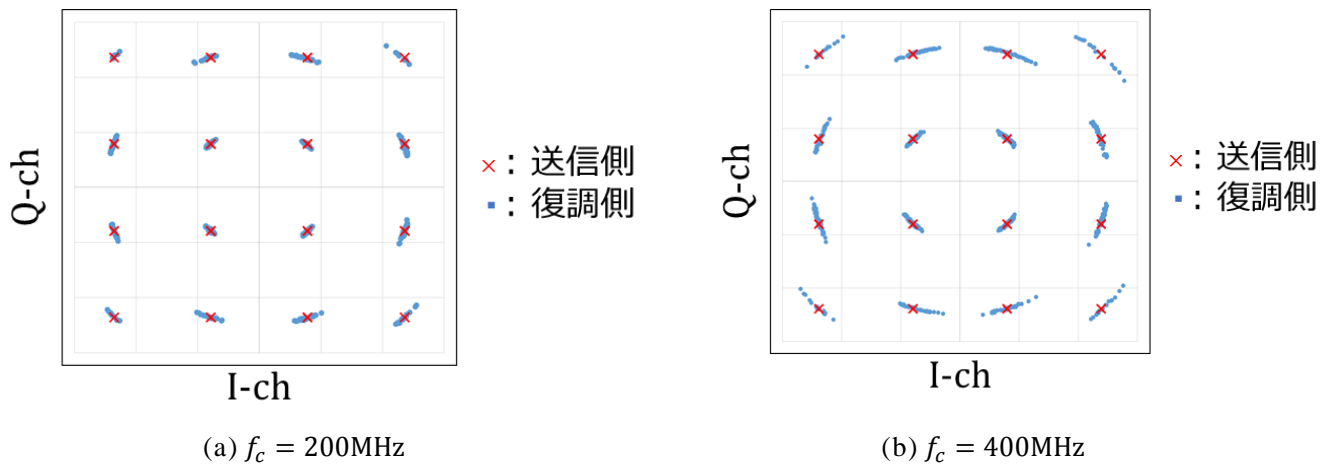


図 9. 実験結果におけるコンスタレーション

5.2. EVM 劣化の原因

実験結果についてのコンスタレーションを図9に示す. 16 個の信号点として配置されている送信側に対し復調側の信号点は円状に広がっており, 高速信号であるほど広がりが大きいことが分かる. この原因として, 高速信号によって発生するジッタの影響であると考えられる. 実際にジッタを測定したところ 10ps 程度のジッタが観測された. この値は先行研究[12]で報告されている, FPGA の GTX トランシーバを用いた場合の発生量と一致している. さらにジッタは出力信号のみでなく, FPGA やオシロスコープのクロックにも存在しているため, それらがコンスタレーションにおける位相ばらつきを大きくしていると考えられる.

ジッタを低減させる方法としては, より高速で時間精度の高いトランシーバを備えた FPGA を使用すること, 高速な D-FF を利用することで波形整形を行うことなどが考えられる.

6. まとめ

本研究では, FPGA 実装における 3 値 DSM を用いた 2 値 EPWM 送信機の高速化を目的とし, シリアライザによる U/C 及び I-Q 交互出力の手法を提案した. 本手法を用いて構成した 2 値 EPWM 送信機により, FPGA の汎用論理ゲートの動作周波数の上限 200MHz での動作において, 搬送波周波数 f_c は従来の 50MHz から 400MHz への 8 倍の高速化を実現した. さらに, FPGA 実装した QM-EPWM 送信機として初めて信号伝送実験を行い, EVM の評価を行った. しかし, 高速信号によって発生するジッタにより, EVM は $f_c = 400\text{MHz}$ において -24dB とやや劣化した. 今後は, ジッタの低減を検討していくことにより, EVM の改善を図る.

文 献

- [1] H. Adachi and M. Iida, "Transmitting circuit and equipment," JP Patent Application, P2002-45388, Feb. 2002.
- [2] Y. Wang, "An improved Kahn Transmitter Architecture Based on Delta-Sigma Modulation," 2003 IEEE MTT-S Int. Microw. Symp. Dig., vol. 2, pp.1327-1330, June 2003.
- [3] Y. Wang, "A class-S RF amplifier architecture with envelope deltasigma modulation," IEEE Radio & Wireless Conference, RAWCON2002, pp. 177-179, 2002.
- [4] Helaoui, M., Hatami, S., Negra, R., Ghannouchi, F.M., "A Novel Architecture of Delta-Sigma Modulator Enabling All-Digital Multiband Multistandard RF Transmitters Design", IEEE Trans. CAS II: Express Briefs, pp. 1129 – 1133, vol. 55, no.11, Nov. 2008.
- [5] M. L. S. Penaloza, G. Baudoin, M. Villegas, "A Cartesian Sigma-Delta Transmitter Architecture", IEEE Radio and Wireless Symp., pp. 51-54, 2009.
- [6] N. V. Silva, A. S. R. Oliveira, and N. B. Carvalho, "Design and Optimization of Flexible and Coding Efficient All-Digital RF Transmitters," IEEE Trans. Microw. Theory Tech., vol. 61, no. 1, Jan. 2013.
- [7] H. Izumi, M. Kojima, Y. Umeda and O. Takyu, "Comparison between quadrature- and polar-modulation switching-mode transmitter with pulse-density modulation," International Conference on Advanced Communication Technology (ICACT), pp. 1140 - 1145, Jan. 2013.

本研究に対する学会発表など

- [8] T. Noda, W. Someya, Y. Iikura, Y. Umeda and Y. Kozawa, "Bi-level Quadrature-modulation low-pass EPWM transmitter using half side of tri-level $\Delta\Sigma$ modulator," 2015 IEEE PAWR, pp. 1 – 3, Jan 2015.
- [9] R. Hezar, L. Ding, J. Hur and B. Haroun, "A 23dBm fully digital transmitter using $\Sigma\Delta$ and pulse-width modulation for LTE and WLAN applications in 45nm CMOS," 2014 IEEE RFIC Symp., pp. 217-220, June 2014.
- [10] F. M. Ghannouchi, S. Hatami, P. Aflaki, M. Helaoui, and R. Negra, "Accurate Power Efficiency Estimation of GHz Wireless Delta-Sigma Transmitters for Different Classes of Switching Mode," IEEE Trans. Microw. Theory Tech., vol. 58, no. 11, Nov. 2010.
- [11] K. Finnerty, J. Dooley, R. Farrell, "FPGA SerDes capability as switch mode PA modulator" 25th IET Irish Signals & Systems Conference 2014 and 2014 China-Ireland International Conference on Information and Communications Technologies (ISSC 2014/CIICT 2014), pp. 118 – 122, June. 2014
- [12] 野田 昂志, 染谷 和, 飯倉 祥晴, 榎田 洋太郎, 小澤 佑介, "3 値 $\Delta\Sigma$ 変調器により生成した 2 値包絡線パルス幅変調信号を用いる直交変調型送信機", 信学技報, vol.114, no.318, pp.83-88, Nov.2014.
- [13] T. Noda, Y. Umeda and Y. Kozawa, "Optimization of DSM Sampling Frequency and Interleaving Frequency for Bilevel Quadrature-Modulation EPWM Transmitter", Journal of Signal Processing, Vol.20, No.4, pp.179-182, July. 2016.

(A) 査読付き論文[0 件]

なし

(B) 査読付き小論文[1 件]

- K. Nagasawa, S. Fujioka, K. Watanabe, Y. Umeda, Y. Kozawa, "Power-amplifier inserted transversal filter using high-order pass band," 2015 IEEE International Symposium on, Radio-Frequency Integration Technology (RFIT), pp.26-28, Aug. 2015,

(C) 査読なし論文[1 件]

- 長澤昂平, 榎田洋太郎, 小澤佑介, "直交変調型包絡線パルス幅変調方式送信機の FPGA 実装における並直列変換を用いた高速化の研究", 電子情報通信学会 集積回路研究会(ICD)にて 2017 年 3 月 2 日発表予定.

(D) 学会大会等の口頭発表・ポスター発表[0 件]

なし

(E) 特許[0 件]

なし