

2 値直交型包絡線パルス幅変調を用いた送信機変調部 及びベースバンド部の FPGA 実装の検討

7311110 長澤 昂平

1. はじめに

移動体通信システムにおいて、電力増幅器(PA)における電力消費が大きいと、高効率な電力増幅器が求められている。電力増幅器の高効率化が期待されている変調方式として、包絡線パルス幅変調(EPWM :Envelope Pulse Width Modulation)を用いた送信機が提案されている[1]。

EPWM を用いた送信機の一つとして、0 と 1, -1 を交互出力する 3 値出力直交変調型 EPWM がある[2]。しかし 3 値出力直交型 EPWM では、正負信号の同期が困難であり、2 つの PA もしくは 3 値動作する PA が必要という問題がある。この解決策として、0, 1 を出力する 2 値出力直交変調型 EPWM が提案されている[3]。

本研究では、3 値出力及び 2 値出力直交型 EPWM 送信機を、ベースバンド部を含め FPGA (Field- Programmable Gate Array)評価ボードを用いて実装を行い、シミュレーションと比較する。今回は、2 値出力直交変調型 EPWM に対しては実験による評価も行う。

2. 送信機変調部構成

直交変調型 EPWM 送信機の基本構成を図 1 に示す。この変調方式はベースバンド信号の I-ch, Q-ch を別々に $\Delta\Sigma$ 変調した変調信号をそれぞれ搬送波と乗算した後、交互出力する。交互出力により I, Q-ch の相互の干渉がない構成と

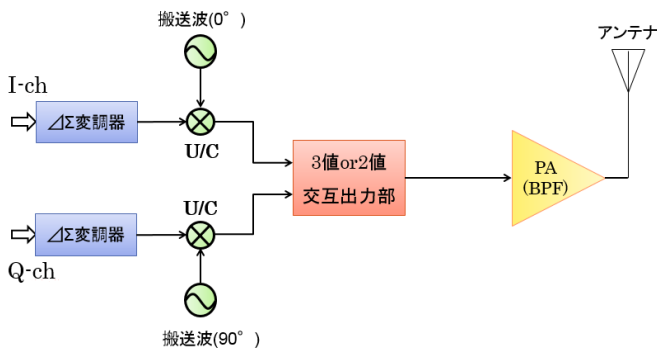


図 1. 直交変調型 EPWM 構成

なる。3 値出力直交型では出力信号が 0, 1, -1 であったが、2 値出力直交型では 0, 1 という出力になる。PA 部分は帯域通過フィルタ(BPF)も兼ねた構成である。

3. FPGA 実装概要

FPGA 実装の手順として、論理回路で組み立てられているシミュレーションモデルを FPGA に実装可能な形式に書き換えて FPGA 実装し動作を確認する。

直交変調型 EPWM 送信機を FPGA 実装するため、図 2 に示す 3 値出力直交変調型 EPWM を FPGA で実装可能な論理回路で作成し実装する。

また、2 値出力直交変調型 EPWM も同様に図 3 のものを実装する。

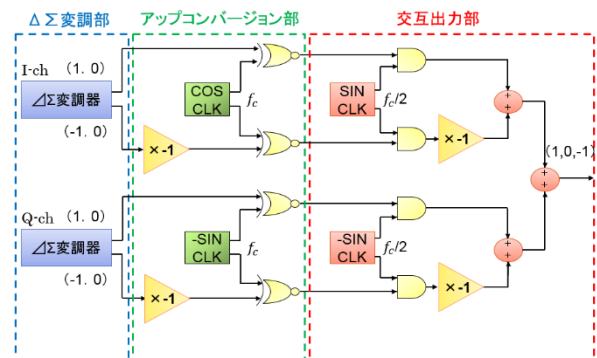


図 2. 3 値出力直交変調型 EPWM

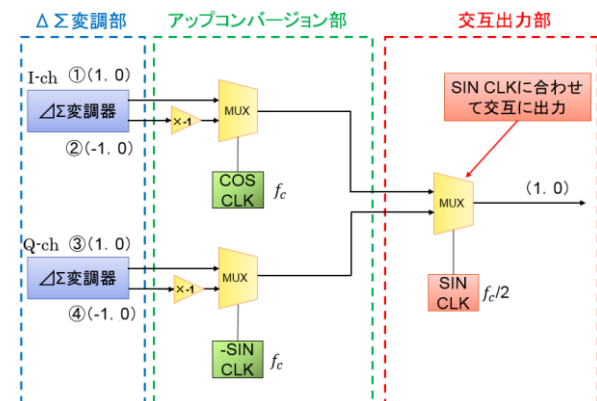


図 3. 2 値出力直交変調型 EPWM

4. 実験概要

評価系構成及び諸元をそれぞれ図4、表1に示す。Xilinx社のSystem Generatorで作成したベースバンド(BB)信号発生部、及び直交変調型 EPWM 部を FPGA に実装しアナログ信号として発生させる。本研究では PA を省略するため、その信号を BPF に通した後オシロスコープでサンプリングし、MathWorks 社の MATLAB/Simulink 上で復調処理を行う。実験で使用した BPF は L、C の直列回路で構成されている。3 値出力直交変調型 EPWM は正負信号の同期が困難であるため、実験を行うのは同期の必要がない 2 値出力直交変調型 EPWM のみである。

送信機の評価方法として変調精度(EVM :Error Vector Magnitude)を用いる。元の信号点と復調した信号点においてどれほどの誤差性能を有するか示すものである。

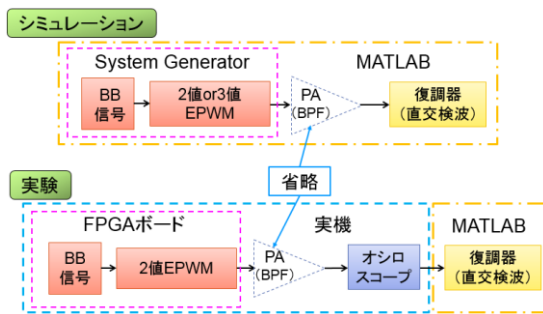


図4. 評価系構成図

表1. シミュレーション及び実験諸元

	シミュレーション	実験
変調方式	16QAM	
シンボルレート	500 ksymbol/s	
シンボル数	1000 symbol	863 symbol
搬送波周波数	50 MHz	
オーバーサンプリングレート	4	
使用FPGAボード	ML605	
FPGA動作周波数	200 MHz	
BPF	中心周波数	50 MHz
	Q値	2
	L_0	300 nH
	C_0	33 pF

5. 結果

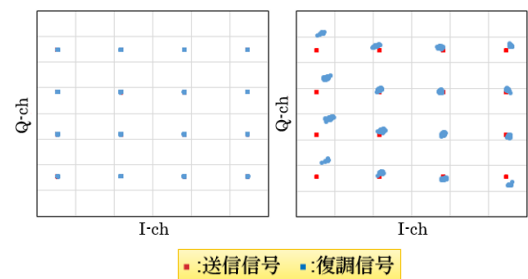
シミュレーションと実験により求めた EVM を表2に示す。また、2値出力型のシミュレーション及び実験で復調されたコンスタレーションを図5(a),(b)に示す。

シミュレーションにおいて、新たに構成した 2 値出力直交変調型 EPWM は 3 値出力直交型 EPWM と同等の EVM

を示す。しかし、実験においては大きな劣化が生じている。この原因として、FPGA から出力された矩形波がアナログ信号であるために歪んでしまうこと、論理回路で構成されているためにスパイクノイズが発生していること、BPF 前で生じていた DC 成分がカットされずアップコンバージョンされてしまったために搬送波に悪影響を及ぼしたことなどが推測される。

表2. EVM 評価結果

	EVM	
	3値	2値
シミュレーション	-47.6 dB	-47.4 dB
実験		-20.4 dB



(a) シミュレーション (b) 実験

図5. コンスタレーション図

6. 結論

本研究では、2 値直交変調型 EPWM 送信機を構成、ベースバンド部を含め FPGA に実装し、シミュレーション及び実験により評価し、比較を行った。シミュレーションでは2 値出力直交変調型 EPWM と 3 値出力直交変調型 EPWM に大きな差は見られなかったが、FPGA に実装して実験すると、シミュレーションと比べて大きく劣化した。この問題の原因は主にアナログ部分で発生しているものである。

今後の課題として、FPGA 実装時の性能劣化の改善を行い、さらに PA を含めた実験的評価を行うことを目指す。

[参考文献]

- [1] E. M. Umali, Y. Toyama and Y. Yamao, "Power Spectrum Analysis of Envelope Pulse-Width Modulation (EPWM) Transmitter for High Efficiency Amplification of OFDM Signals," Proc. of IEEE VTC2008-Spring, Singapore, May 2008.
- [2] S. Matsumaru, Y. Umeda, O. Takyu, "All-Digital Up-Conversion Type Transmitter with Alternate Generation of I- and Q-Channel," pp. 288-291, Oct. 2009.
- [3] 野田 昂志, "3 値 $\Delta \Sigma$ 変調器により生成した 2 値包絡線パルス幅変調信号を用いる直交変調型送信機", 信学技報