

3 値交互出力アップコンバージョン回路の CMOS プロセスを用いた設計 及びシミュレーション評価

7312668 結城崇匡

1. はじめに

近年スマートフォンやタブレット PC といった移動体通信端末の普及により、大容量かつ高速での伝送が盛んに行われている。それにより、通信端末及び、システム全体の通信トラフィック量が急速に増加している。この増加に伴い、通信端末によって消費される電力も増加しており、問題となっている。現在、移動体通信機の消費電力の多くは送信機のパワーアンプによるものである。従って、移動体通信において電力消費を低減するためにはパワーアンプの消費電力を抑制することが不可欠である。送信機の消費電力を低減する方式として包絡線除去、復元(EER: Envelope Elimination and Restoration)送信機やパルス幅変調 (PWM: Pulse Width Modulation) 送信機, パルス密度変調 (PDM: Pulse Density Modulation) 送信機などが盛んに研究されている[1]-[4]。これらの送信機はスイッチング動作型電力増幅器を用いるため、電力増幅器のバックオフを多く取らなくとも高い電力効率を維持しながら信号を増幅できる。中でも $\Delta\Sigma$ 変調を変調器に用いた送信機は、 $\Delta\Sigma$ 変調器のノイズシェーピングにより量子化雑音を低減できる。これらの送信機にはポーラ変調型 EPWM (Envelope Pulse Width Modulation) 送信機と直交変調型 EPWM 送信機がある。ポーラ変調型はベースバンド信号を包絡線成分と位相成分に分解し、包絡線成分は $\Delta\Sigma$ 変調、位相成分は搬送波周波数にアップコンバージョンした後にパワーアンプの直前で復元する構成となっている。直交変調型はベースバンド信号を I-ch と Q-ch の振幅で分解し、それぞれの信号を $\Delta\Sigma$ 変調した後、I-ch はコサインクロックと Q-ch はサインクロックと乗算をとって搬送波にアップコンバージョンし、パワーアンプの直前で合成する構成となっている。ポーラ変調型は位相成分をアップコンバージョンする際に連

続的な制御が必要で位相誤差が発生する。一方直交変調型は位相制御をする必要がなく、位相誤差の問題を解決している。またベースバンド信号に $\Delta\Sigma$ 変調をかけているため、 $\Delta\Sigma$ 変調器の動作クロックを低く抑えられ、高速駆動を実現できる。この直交変調型送信機は 2 値のデジタル直交型が研究されていたが、I,Q-ch が同時に出力された際に波形が歪む問題があった。だが、現在では 3 値直交変調型送信機が提案され、波形歪みを改善している。

本稿ではこの直交変調型 EPWM 送信機の一つである 3 値直交変調型 EPWM 送信機のハードウェア実装を目指し、この送信機に用いられているアップコンバージョン部の CMOS プロセスに適した回路を提案する。そして、計算機シミュレーションによって速度評価を行い、100MHz での駆動が可能であることを示す。

2. 送信機回路

3 値直交変調型 EPWM 送信機の実装を目指す理由を示すため、比較対象となる送信機を説明する。

2.1 包絡線除去、復元送信機

図 1 に包絡線除去、復元(EER)送信機の回路構成を示す。入力信号が包絡線検波器とリミッタにより包絡線成分と位相成分に分解される。分解された包絡線成分はスイッチングレギュレータにより増幅されパワーアンプの電源電圧にされる。分解された位相成分は位相変調器により搬送波信号にアップコンバージョンされ、位相情報を持った一定の振幅値の信号としてパワーアンプにされる。パワーアンプに印加している変動する電源電圧により位相成分が振幅変調され、元信号が復元する。このように一度取り除かれた包絡線成分

がパワーアンプによって復元されるため、包絡線除去、復元送信機と呼ばれる。

この送信機の利点は、パワーアンプに入力する信号が一定振幅であるため、非線形のスイッチングアンプを利用でき、高電力効率化が図れる。一方で包絡線成分の増幅に使用しているスイッチングレギュレータにより電力が消費され、電力効率が落ちる。また電源電圧が変動するために出力容量が変動し、波形が歪むという欠点がある。

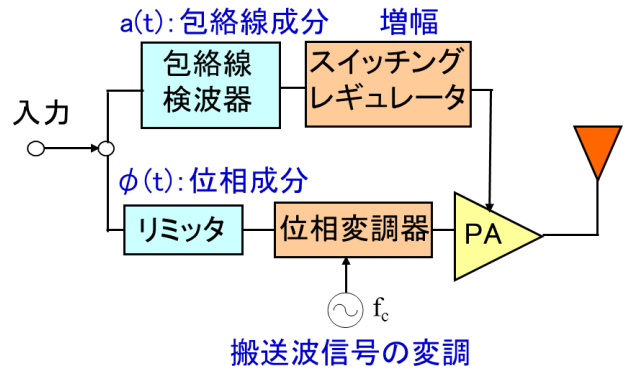


図1. 包絡線除去、復元送信機の回路構成

2.2 ポーラ変調型 EPWM 送信機

図2にポーラ変調型 EPWM(Envelope Pulse Width Modulation)送信機と直交変調型 EPWM 送信機のベースバンド信号を示す。また図3にポーラ変調型 EPWM 送信機の回路構成を示す。包絡線検波器とリミッタにより包絡線成分と位相成分に分解される。位相成分は位相変調器により一定振幅の搬送波信号にアップコンバージョンされる。ここまでは EER 送信機と同様である。しかし、包絡線成分はスイッチングレギュレータによる増幅ではなく、パルス幅変調(PWM: Pulse Width Modulation)される。これにより一定振幅の信号となる。この包絡線成分と位相成分がパワーアンプ入力以前で合成され、元信号が復元される。

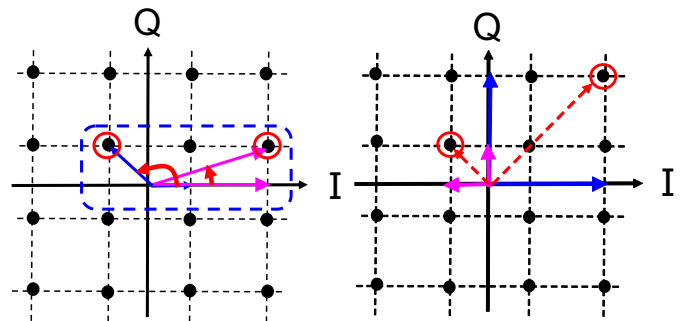


図2. ポーラ変調型(左), 直交変調型(右)のベースバンド信号

この送信機の利点は、EER 送信機同様スイッチングアンプを利用でき、高電力効率化が図れることである。そして電源電圧が一定の電圧であるため、EER 送信機で発生していた波形歪みを改善できている。しかし、位相変調器において位相成分を連続的に制御する必要があり、高周波において位相誤差が発生してしまうという欠点がある。

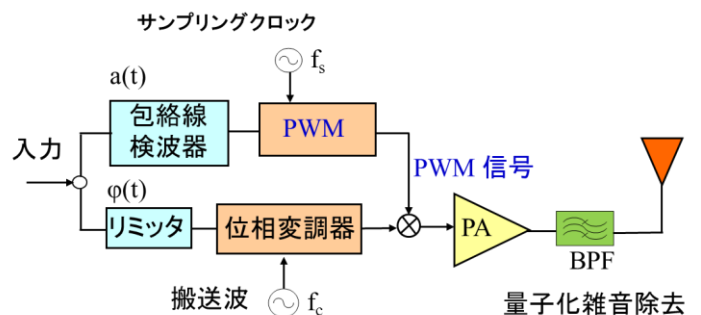


図3. ポーラ変調型 EPWM 送信機の回路構成

2.3 アナログ直交変調型 EPWM 送信機

図4にアナログ直交変調型 EPWM 送信機の回路構成を示す。I-ch, Q-ch のベースバンド信号が $\Delta\Sigma$ 変調器によりサンプリング周波数 f_s の(+1, -1)の信号に変調される。I-ch の $\Delta\Sigma$ 変調信号は搬送波周波数 f_c のコサインクロックと Q-ch の $\Delta\Sigma$ 変調信号は搬送波周波数 f_c のサインクロックと乗算され、アップコンバージョンされる。その後足し合わされ、パワーアンプにて直交される。

この送信機の利点はベースバンド信号に対して $\Delta\Sigma$ 変換を行っているため、動作クロックを低減することができること

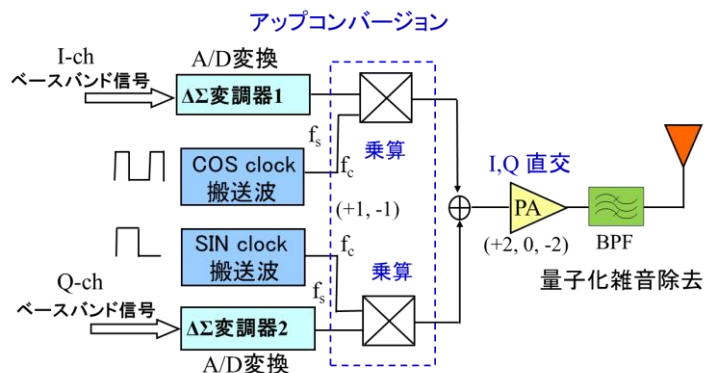


図4. アナログ直交変調型 EPWM 送信機の回路構成

である。また I, Q-ch の直交で信号処理を行っているため、複雑な位相制御が必要でなく、ポラ変調型で問題であった高周波での位相誤差が改善されている。しかし、パワーアンプの出力が(+2, 0, -2)と中間値が発生してしまい、アナログ誤差が発生してしまうことが欠点である。

2.4 デジタル直交変調型 EPWM 送信機

アナログ直交変調型 EPWM 送信機でのアナログ誤差を改善するために提案されたのがデジタル直交変調型 EPWM 送信機である。回路構成を図5に示す。ベースバンド信号がアナログ直交変調型とは異なり(+1, 0)のデジタル信号となっている。また乗算器が論理回路の XOR となり、I, Q 直交がパワーアンプ以前の OR で行われている。この送信機の駆動波形を図6に示す。I-ch では $\Delta\Sigma$ 変調信号が搬送波周波数 f_c のコサインクロックと Q-ch では $\Delta\Sigma$ 変調信号が搬送波周波数 f_c のサインクロックと XOR で乗算され、アップコンバージョンされていることがわかる。

この送信機の利点は全てデジタル的に直交振幅変調しているため複雑な位相変調が不要なことである。また2値デジタル動作であるためアナログ誤差を改善していることである。しかし、I-ch, Q-ch が同時に出力された時にオーバーラップ(図7)が発生してしまい、波形が乱れてしまい雑音が発生することが欠点である。

2.5 3値直交変調型 EPWM 送信機

2値デジタル直交変調型 EPWM 送信機でのオーバーラップを改善するために提案されたのが3値直交変調型 EPWM 送信機である。この送信機の回路構成を図8に示す。I, Q-ch のベースバンド信号が $\Delta\Sigma$ 変調器により(+1, 0), (0, -1)の信号に変調される。その変調信号が I-ch では搬送波周波数 f_c のコサインクロックと Q-ch では搬送波周波数 f_c のサインクロックと XOR で乗算され、アップコンバージョンされる。そしてその搬送波が I-ch では $f_c/2$ のサインクロックと Q-ch では $f_c/2$ のコサインクロックと AND を通ることにより、交互出力を実現している。この送信機の駆動波形を図9に示す。

この送信機の利点は I, Q-ch を交互出力することにより、2値デジタル直交変調型 EPWM 送信機でのオーバーラップ

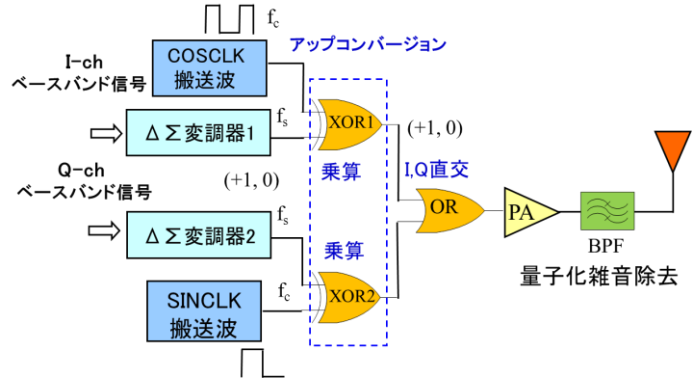


図5. デジタル直交変調型 EPWM 送信機の回路構成

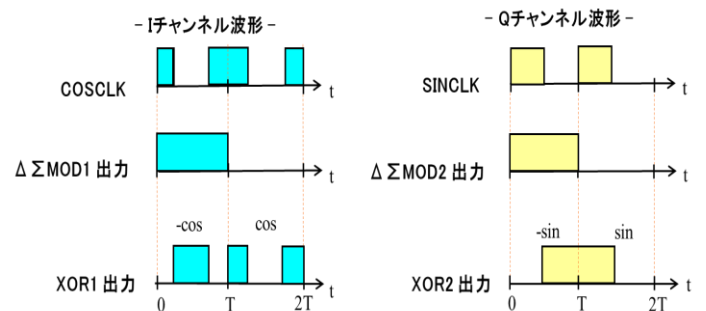


図6. デジタル直交変調型 EPWM 送信機の駆動波形

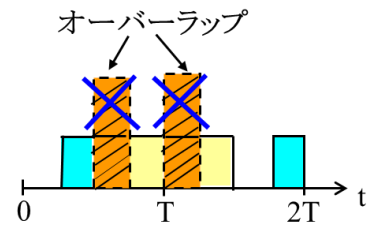


図7. オーバーラップ

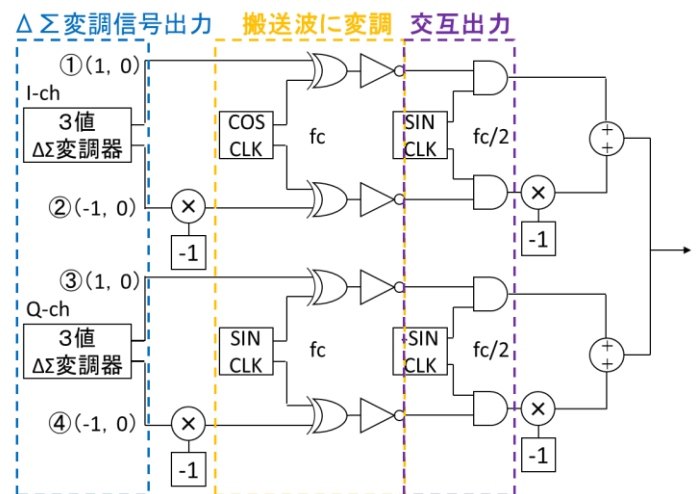


図8. 3値直交変調型 EPWM 送信機の回路構成

を改善していることである。また信号が0のときの $\Delta\Sigma$ 変調器の動作が、2値の場合は正相と逆相の信号を交互に出力し続けることで表現しなければならないところを、3値の場合はそのまま0で表現できることである(図10)。これにより信号が0の時の電力消費がなくなり、高電力効率化が図れる。

3. CMOSプロセスを用いた設計

3値直交変調型EPWM送信機のハードウェア実装を目指し、そのアップコンバージョン部のCMOSプロセスに適した回路を提案する(図11)。NOR回路を $\Delta\Sigma$ 変調直後へ挿入することにより信号が0の際の搬送波漏れを抑制した。合成部はコンプリメンタル型の合成器とした。

4. 計算機シミュレーション

計算機シミュレーションによる速度評価の方法について説明する。まずMATLABにて入力波形を生成、その波形を提案の回路へ入力し、駆動波形を確認した。シミュレーション諸言を表1に示す。

表1. シミュレーション諸元

変調方式	16QAM
シンボルレート	1.25Msymbol/sec
オーバーサンプリングレート (サンプリング周波数)	40 (50MHz)
搬送波周波数	100MHz
CMOS ゲート長	0.18 μ m
V _{DD}	1.8V
V _{SS}	-1.8V

5. 結果

シミュレーション結果を図12に示す。赤線、青線の波形はそれぞれI-ch, Q-chの $\Delta\Sigma$ 変調信号を表し、①はI-chの(+1, 0)信号、②はI-chの(-1, 0)信号、③はQ-chの(+1, 0)信号、④はQ-chの(-1, 0)である。黒線はそれに対する出力信号である。①を見るとコサインクロックによってアップコンバージョンされ、サインクロック側に出力されていることが分かる。②は(-1, 0)信号なので①を反転した形のコサインクロックにアップコンバージョンされ、同様にサインクロック側に

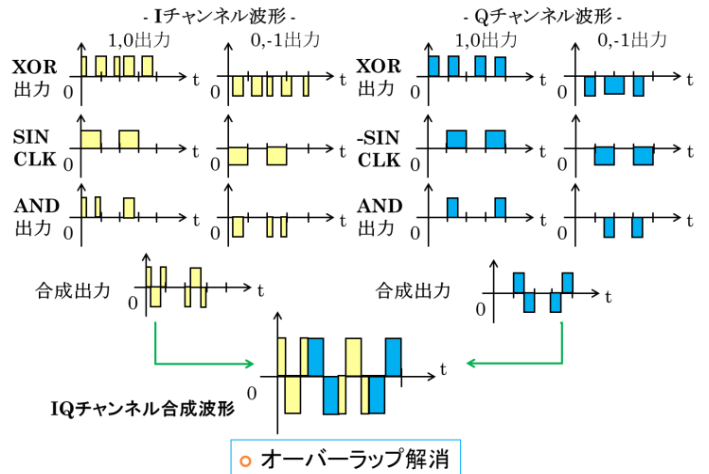


図9. 3値直交変調型EPWM送信機の駆動波形

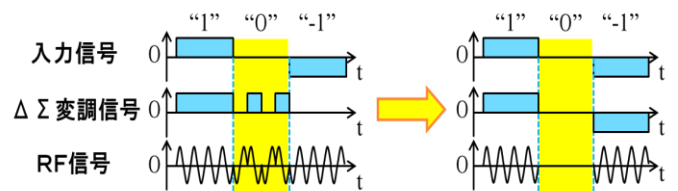


図10. 2値(左), 3値(右)の $\Delta\Sigma$ 変調信号

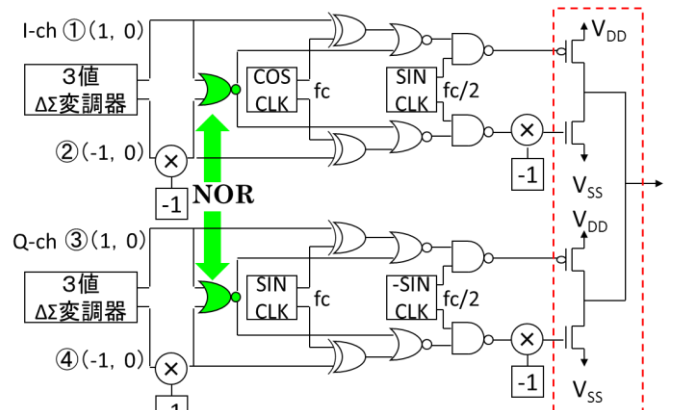


図11. CMOSプロセスに最適化した3値直交アップコンバージョン回路

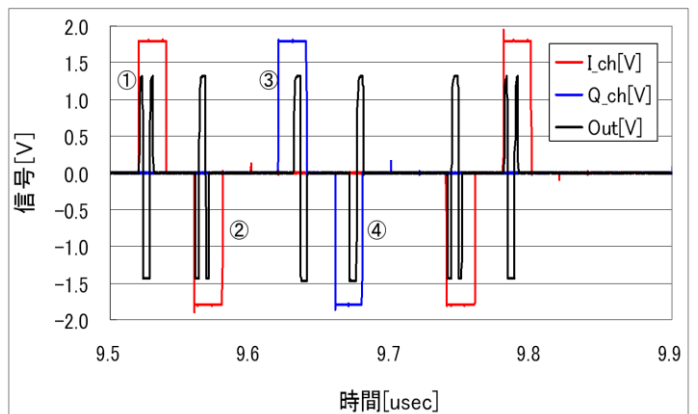


図12. シミュレーション結果

本研究に関する学会発表など

出力されていることが分かる。③はサインクロックによってアップコンバージョンされ、 $-$ サインクロック側に出力されていることが分かる。④は $(-1, 0)$ の信号なので③を反転した形のサインクロックにアップコンバージョンされ、 $-$ サインクロック側に出力されていることが分かる。

この結果から I, Q -ch とともに理論通りにアップコンバージョンされ、交互出力に対応した形で出力されていることが確認できた。

6. まとめ

現在、移動体通信ではスマートフォンなどの普及によってトラフィック量増大し、電力消費量が問題となっている。移動体通信における消費電力の多くは送信機によるものであるため、電力消費を低減するため、高効率な送信機が研究されている。本稿では高効率な送信機のひとつである3値直交変調型 EPWM 送信機のハードウェア実装を目指し、そのアップコンバージョン部を CMOS プロセスに適した回路として提案し、計算値シミュレーションで速度評価を行った。結果、100MHz での駆動が可能であることを示した。今後の課題としては、スマートフォン等で利用されている周波数まで動作速度を引き上げること、また実際に IC として試作し、シミュレーション結果と同様の結果が得られるか実測することである。

謝辞

本研究は科研費基盤研究(C)(22560392)の助成を受けたものである。また、東京大学大規模集積システム設計教育研究センターを通し、アジレント・テクノロジー(株)およびローム(株)の協力で行われた。

参考文献

- [1] H. Adachi and M. Iida, JP Patent Application, P2002-45388, Feb. 2002.
- [2] Y. Wang, IEEE Radio & Wireless Conference, RAWCON2002, pp. 177 - 199, 2002.
- [3] M. Helouai, et al., IEEE Trans. CAS II : Express Briefs, pp. 1129 - 1133, vol. 55, no. 11, Nov. 2008.
- [4] H. Izumi, et al., ICACT2013, p. 1140, Jan. 2013.

(A) 査読付き論文

なし

(B) 査読付き小論文

なし

(C) 査読なし論文

なし

(D) 学会大会等の口頭発表・ポスター発表

結城 崇匡, 和泉 宏典, ○榎田洋太郎 「3値交互出力アップコンバージョン回路のCMOSプロセスを用いた設計およびシミュレーション評価」 福岡工業大学日本電子情報通信学会ソサイエティ大会, 2013年9月