

正負1ビット直交交互出力型送信機 アップコンバージョン回路のIC化設計

7308182 結城 崇匡

1.はじめに

移動体通信では電力消費の半分以上が送信機内の電力増幅器によるものである。そのため電力効率を上げるには、高効率、線形性、低歪特性を持つ増幅器が必要とされている。この要求を満たす方法として正負1ビット直交交互出力型送信機を提案する。この方式では増幅器をスイッチング動作させるため高電力効率を見込める。現在正負1ビット直交交互出力型送信機は数値解析ソフト上で組まれている。しかし最終的にハードウェアとして実現を目指すのであれば、実装可能であるか、また可能であるならば実装しその動作を検証・評価する必要がある。

そこで本研究では、ハードウェア化の第一歩として正負1ビット直交交互出力型送信機の一部であるアップコンバージョン回路Iチャンネル出力部のIC化設計を行う。具体的には数値解析ソフトMATLAB/Simulink上で組まれているモデルを回路設計用ソフトAdvanced Design System(ADS)上で組み、シミュレーションを行い、動作を確認する。

2. アップコンバージョン回路の構成と動作

2.1 正負1ビット Δ - Σ 変調器

正負1ビット Δ - Σ 変調器はパルス密度変調器の一種で、正負1bitの量子化器として動作する。

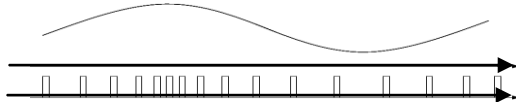


図1. パルス密度変調

2.2 アップコンバージョン回路

まずベースバンド信号を正負1ビット Δ - Σ 変調器で正負1ビットのデジタル信号に変換する。次にこのデジタル信号をXORゲートに入力しアップコンバージョンする。さらに、このアップコンバージョンした信号を、IチャンネルではSINCLK、Qチャンネルでは-SINCLKを用いたANDゲートに通過させることで交互出力を可能としている。

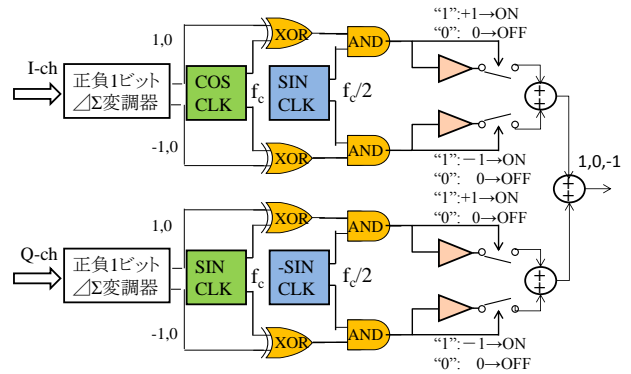


図2. アップコンバージョン回路の構成

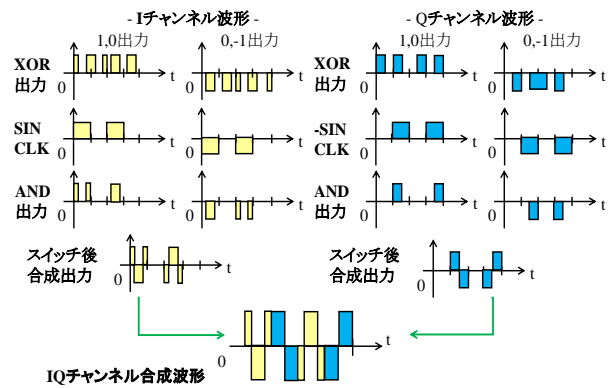


図3. アップコンバージョン回路の駆動波形

3. シミュレーション評価

まず図2に示したアップコンバージョン回路のIチャンネル出力部をADS上で組む。次に表1に示した条件でSimulink上でシミュレーションを行う。そしてSimulink上で作成した信号をADS上のモデルにも入力しシミュレーションを行う。最後に両方の駆動波形を比較する。

表1. シミュレーション諸元

変調方式	16QAM
シンボルレート	125kSymbol/s
搬送波周波数 f_c	10MHz
オーバーサンプリングレート (サンプリング周波数)	40 (5MHz)

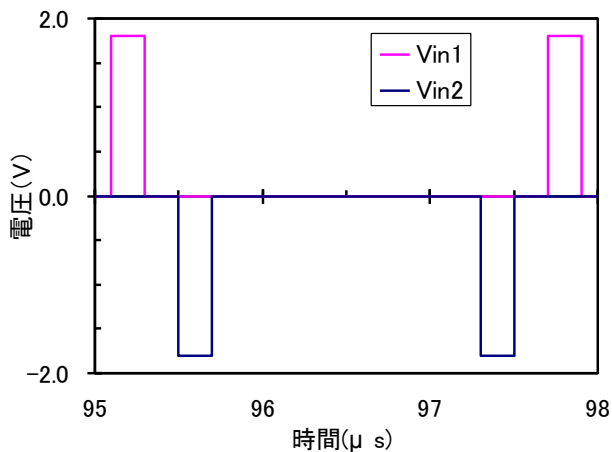


図 4. 入力信号

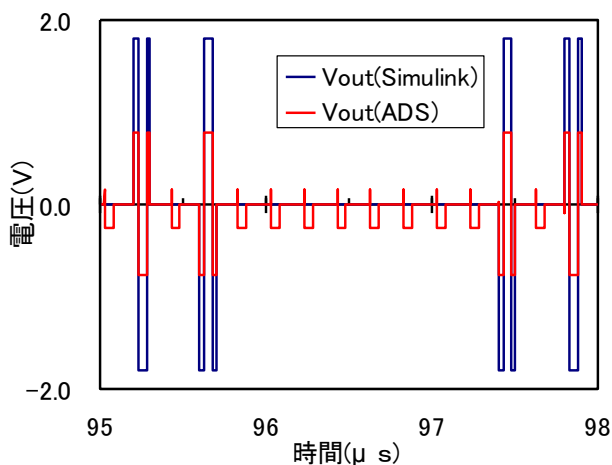


図 5. 駆動波形

入力信号が発生した際、図 5. に示すように Simulink 上と同様な駆動が ADS 上でも確認された。しかし、入力が 0V の際に ADS 上では本来発生するはずのない波形が発生してしまっている。これはアップコンバージョン回路のスイッチ部のトランSMISSIONゲート[1]が原因だと思われる。

図 6. に示すように正側を Vout1, 負側を Vout2 と設定し電圧を測定したところ, Vout1 では 1.8V から 1.53V に, Vout2 では -1.8V から -1.64V に電圧が下がっていることがわかる。入力が 0V の際に発生する波形はこの電圧の差異により発生したと考えられる。

トランSMISSIONゲートを構成している素子はトランジスタのみであるため, トランジスタのパラメータを変更することによりこの問題は改善されると考えられる。

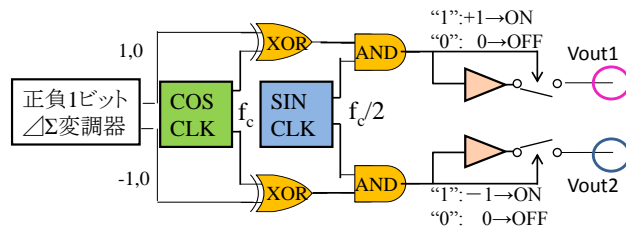


図 6. Vout 設定

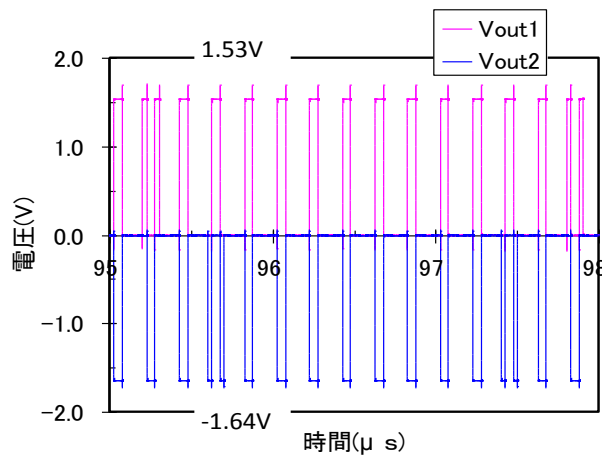


図 7. 電圧比較

4.結論

本研究では, 正負 1 ビット直交交互出力型送信機アップコンバージョン回路の IC 化設計として, アップコンバージョン回路 I チャンネル出力部について Simulink 上のシミュレーションと同様のシミュレーションを ADS 上で行い評価をした。結果として, 入力信号が発生した際に ADS 上でも Simulink 上と同様の駆動をすることが確認された。しかし, 入力が 0V の際に ADS 上では本来発生するはずのない波形が発生してしまっている。これはアップコンバージョン回路を構成するスイッチ部によるものだと考えられる。この問題を解決するにはスイッチ部のトランジスタのパラメータを変更する必要がある。

今後の課題としては問題点として浮上したスイッチ部の改善, また Q チャンネルも含めたアップコンバージョン回路全体の動作確認したい。

参考文献

[1] R. Jacob Baker, “CMOS Circuit Design, Layout, and Simulation 3rd edition”, IEEE PRESS, 2010