

正負1ビット直交交互出力型送信機 変調部の FPGA 実装 7306149 薬師神 徳之

1.はじめに

包絡線パルス幅変調(EPWM)型送信機と2値直交交互出力型送信機の比較[1]において、2値直交交互出力型送信機は電力効率の点でEPWM型送信機に劣る事が分かった。

この課題を解決する改良案として正負1ビット直交交互出力型送信機が提案されている。現在正負1ビット直交交互出力型送信機は数値解析ソフト上で組み立てられている。しかし最終的にハードウェアとして実現を目指すのでハードウェア上に実装可能であるか、また可能であるならば実装しその動作を検証・評価する必要がある。

そこで本報告では、ハードウェア化の第一歩として正負1ビット直交交互出力型送信機のFPGA実装を行う。FPGAとは、内部論理回路を製造後に定義・変更できる集積回路である。具体的には数値解析ソフト(Simulink)上で組み立てられているモデルをFPGAに実装可能な形式で書き換えて動作させ、さらにFPGA実装しその動作を確認する。

2. 送信機の構成

(2.1)正負1ビット $\Delta\Sigma$ 変調器部

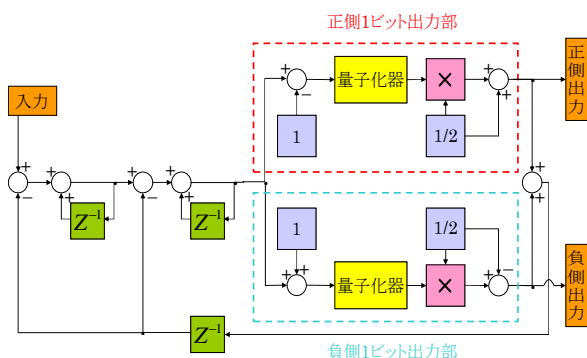


図1.正負1ビット $\Delta\Sigma$ 変調器部回路構成

$\Delta\Sigma$ 変調器はパルス密度変調の一種であり1ビット量子化器として動作する。本 $\Delta\Sigma$ 変調器では0を出力することが可能であり、それによって電力効率が向上している。

(2.2)正負1ビット直交交互アップコンバージョン部

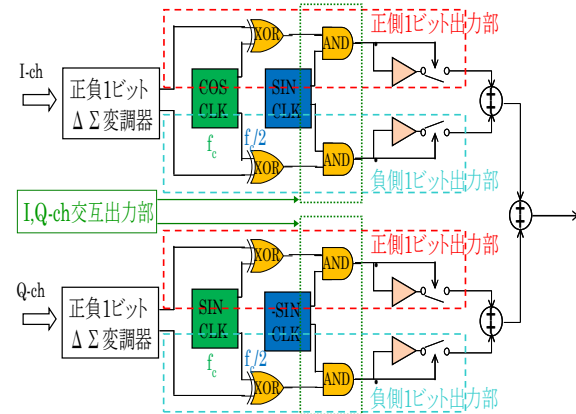


図2.正負1ビット直交交互アップコンバージョン回路部

3.FPGA への実装

図1,2で示した回路をFPGAに実装可能なブロックで作成し、シミュレーションを行ったところ正常に動作することが分かった。そこでハードウェア記述言語でかかれたネットリストファイルに変換しUSBケーブルでFPGAに実装し、実際にFPGAと通信しながらシミュレーションを行った。

この際 $\Delta\Sigma$ 変調器部と正負1ビット直交交互アップコンバージョン回路部(以降アップコンバージョン回路部と略称)を同時に変換すると、エラーが発生し正常に変換できなかった。正常に変換できない原因としては $\Delta\Sigma$ 変調器部とアップコンバージョン回路部で動作周波数が大きく違い、遅延に対する処理がうまく出来ていないことが考えられる。

解決策として $\Delta\Sigma$ 変調器部とアップコンバージョン回路部を別々に変換、実装することによって本送信機をFPGA実装することに成功した。

4. 評価方法

本送信機の評価方法として変調精度(EVM: Error Vector Magnitude)を用いる。変調精度は以下の式で示す。

$$EVM = \frac{\text{誤差ベクトルの R.M.S}}{\text{真値の大きさ}}$$

$$= \frac{1}{N} \sum_{n=1}^N \frac{\sqrt{(\hat{I}_n - I_n)^2 + (\hat{Q}_n - Q_n)^2}}{\sqrt{\hat{I}_n^2 + \hat{Q}_n^2}}$$

分母には本来復元されるはずの値(真値)を代入し, 分子には実際の測定値と真値の差異(誤差ベクトル)を代入しその平均をとったもので, 元の信号点と復調した信号点においてどれだけのずれがあるかを表す. 図3にその概念図を示す.

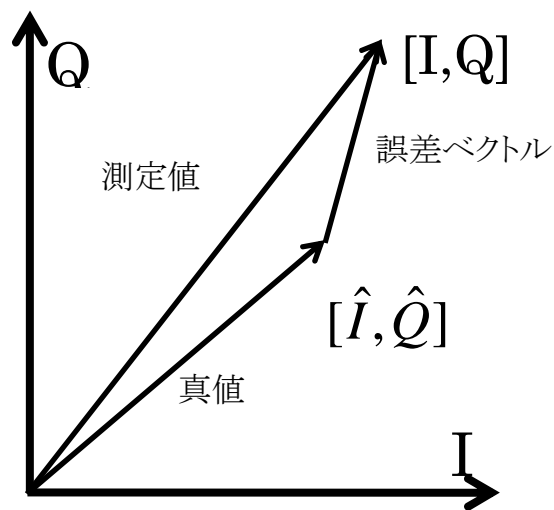


図3.EVM(Error Vector Magnitude)概念図

5.結果

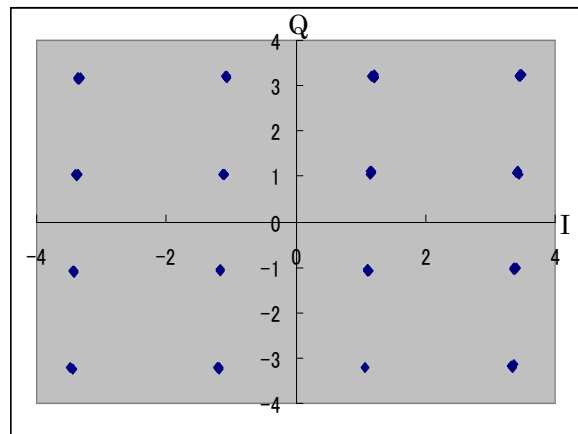
FPGA に実装可能なブロックに置き換える前のシミュレーション結果を図4に示す. 次に FPGA に実装可能なブロックで置き換え, FPGA に実装し通信しながらシミュレーションを行った結果を図5に示す.

図4,5より FPGA に実装可能なブロックに置き換える前より EVM は 0.2dB 劣化していることが分かる. しかし目標の EVM である 30dB に近く 29.1dB となっていることから良好な伝送特性を示していることが分かる.

6.結論

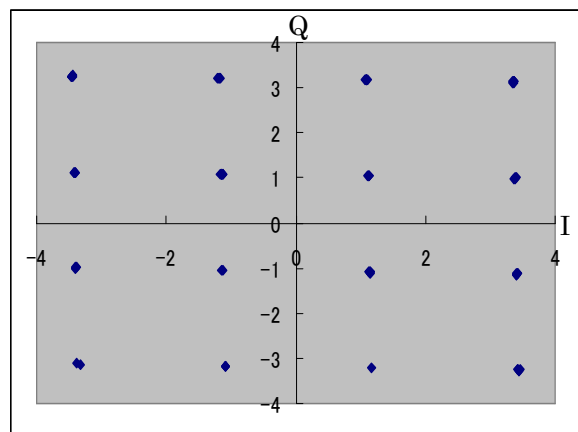
正負1ビット直交交互出力型送信機の FPGA 実装において $\Delta\Sigma$ 変調器部とアップコンバージョン回路部に分けて実装すると, 正常に動作し正負 1

ビット直交交互出力型送信機の FPGA 実装は成功した. 今後の課題としては $\Delta\Sigma$ 変調器部とアップコンバージョン回路部を同時に実装すること, 測定器を用いた実際の波形の計測などがあげられる.



EVM 29.3dB

図4.ブロックを置換する前のシミュレーション結果



EVM 29.1dB

図5.FPGA 実装後のシミュレーション結果

表1.シミュレーション諸元

変調方式	16QAM
シンボルレート	12.5symbol/s
搬送波周波数	1kHz
$\Delta\Sigma$ 変調器動作クロック	500Hz
オーバーサンプリングレート	40
FPGA 動作クロック	4kHz
エンコードソフト	ISE System Generator

参考文献

- [1] 和泉 宏典 電子情報通信学会総合大会講演論文集 巻:2011 頁:502 年:2011